

APcore8T8R 测试文档

成都市安谱力电子科技有限公司

成都市安谱力电子科技有限公司

本文档为 AP47DR_12641 板卡测试报告，面向板级进行功能级验证与系统联调，记录了测试环境、配置参数、执行流程、观测方法与结果判定。测试平台基于 ZYNQ UltraScale+ RFSoc ZU47DR 芯片，报告围绕五类关键能力展开：射频链路(8 路 Tx/Rx)同步性验证、SFP 光口 UDP 回环通信、系统网口连通性、系统串口通信、PL-DDR 大容量读写一致性。其中射频部分通过“上电前后 + 应用 MTS 前后”的对比采样与相位关系分析，验证多通道相位由发散到收敛；通信部分给出了板端/PC 端 IP 与端口配置及验证结果；PL-DDR 部分基于全容量读写与 ILA 观测，验证初始化、读写及数据一致性。

1. 射频

1.1 测试条件

1) RFdc 配置

启用 8 路 Tx 通道、8 路 Rx 通道，配置保持一致

- 射频采样率 4.8GSPS
- 基带采样率 200MSPS
- AD/DA 参考时钟频率 200MHz
- Sysref 频率 10MHz

2) 外部连接

8 路 TR 通过同轴线回环（未加滤波器，有第二奈区杂散），分组如下

- TR1: DAC2280 – ADC2240
- TR2: DAC2281 – ADC2241
- TR3: DAC2290 – ADC2250
- TR4: DAC2291 – ADC2251
- TR5: DAC2300 – ADC2260
- TR6: DAC2301 – ADC2261
- TR7: DAC2310 – ADC2270
- TR8: DAC2311 – ADC2271

3) 测试过程

- 8 路 Tx 接受同一个数字激励源(VIO)且固定幅度激励即 0x00005DC0，输出功率约-5dBm, 8 路 Rx 通过 ILA 观测并导出 CSV 文件,通过 matlab 提取文件内容并进行数据分析

- 首次上电后，在未应用 MTS 时采集 8 路 TR 样本，随后应用 MTS，再采集 8 路 TR 样本，断电重启后重复此操作
- 所有通道均采集 MTS 前后的样本各一份

1.2 测试结果

- Test1 标记测试 1 样本，Test2 标记断电重启后样本
- No Sync 标记未应用 MTS 程序的样本 - Sync 标记应用 MTS 程序后的样本

1) 基础 T/R 能力

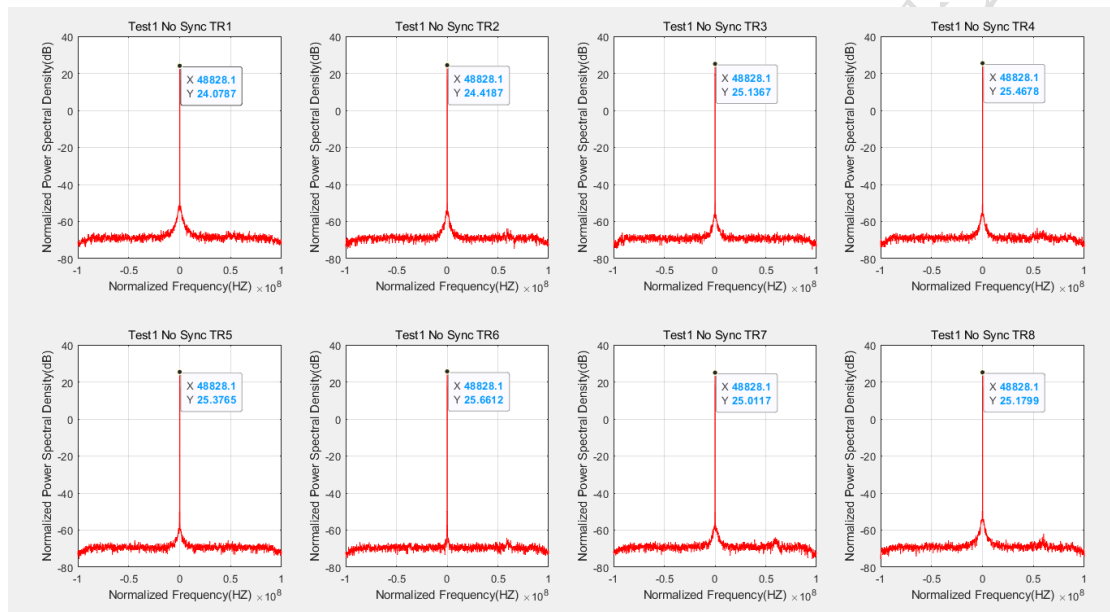


图 1 Test1 未应用 MTS 的样本 PSD

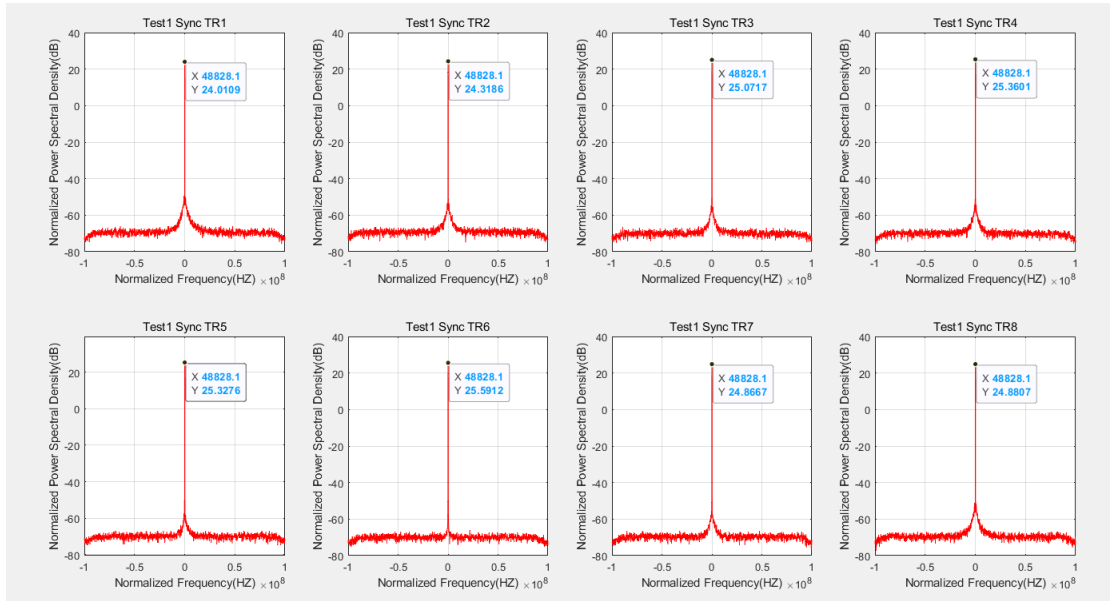


图 2 Test1 已应用 MTS 的样本 PSD

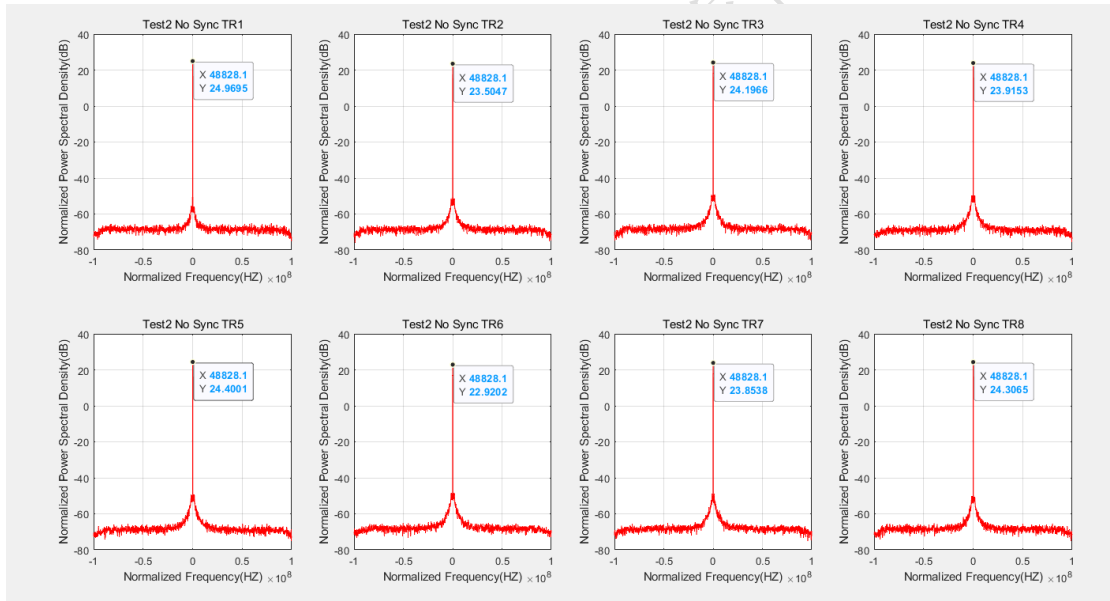


图 3 Test2 未应用 MTS 的样本 PSD

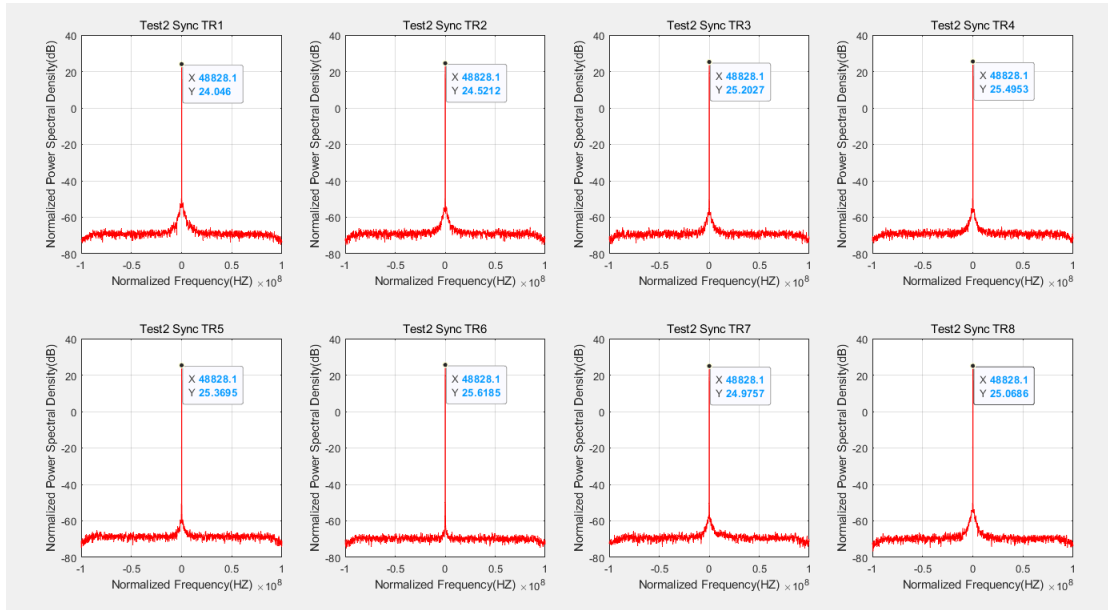


图 4 Test2 已应用 MTS 的样本 PSD

2) 同步测试

- 表 1、表 2 列举的 x° 指以 TR1 为对照组，计算其他 TR 组与对照组之间的相位关系
- 从结果来看，未应用 MTS 的状态下（表 1）两次测试中各 TR 组间相对相位关系发散，对应地，已应用 MTS 的状态下（表 2）展示了各 TR 组的相对相位关系的收敛性

表 1 未应用 MTS 的两次测试样本相位关系

相位差(NO SYNC)	TEST1	TEST2
TR2 - TR1	48.37°	48.20°
TR3 - TR1	59.62°	-129.43°
TR4 - TR1	-119.33°	260.04°
TR5 - TR1	255.62°	-263.80°
TR6 - TR1	-125.15°	242.54°
TR7 - TR1	34.25°	-107.55°
TR8 - TR1	-121.21°	-93.42°

表 2 已应用 MTS 的两次测试样本相位关系

相位差(SYNC)	TEST1	TEST2
TR2 - TR1	48.31°	48.42°
TR3 - TR1	-240.64°	-240.84°

TR4 - TR1	240.82°	241.02°
TR5 - TR1	-239.62°	-239.83°
TR6 - TR1	234.82°	234.87°
TR7 - TR1	-55.89°	-55.99°
TR8 - TR1	-120.83°	-120.53°

2. 系统网口

2.1 测试条件

1) 板上配置

- ZYNQ 使能 GEM3, I/O 为 MIO64...75, MDIO3 为 MIO76...77
- Peripherals Clock Source 为 IOPLL, 频率 125MHz
- Petalinux 中定义网络 IP 为 192.168.1.99

2) PC 端

- 本地 IP: 192.168.1.28
- 本地 PORT: 5555

3) 测试过程

外部通过网线连接, 通过网络调试助手下发数据并查看下位机接收到的数据

2.2 测试结果



图 6 系统网口连接

3. 系统串口

3.1 测试条件

4) 板上配置

- ZYNQ 使能 UART0, I/O 为 MIO42...43
- 波特率配置为 115200

3.2 测试结果



图 7 系统串口

4. PL-DDR

4.1 测试条件

1) 板上 MIG4 配置

- MDSI: 833ps
- PHY to Controller Ratio: 4:1
- Refclk: 3332ps
- Memory Part: MT40A512M16HA-083E
- Data Width: 32
- Memory Address Map: ROW COLUMN BANK
- Ordering: Normal
- CL: 17
- CWL: 16
- AXI Data Width: 256

2) DDR 读写程序配置

- AXI 总线位宽 32bit
- AXI 突发长度 256
- AXI 允许访问空间 2GB

3) 测试过程

通过 VIO 给定写入值 0x12345678, 配置写入侧突发数量为 2097153(即 2GB), 执行 DDR 写, 随后配置读取侧突发数量为 2097153 并执行 DDR 读, 过程中在各个节点通过 ILA 观测 AXI 总线行为判断 DDR 读写功能是否正常

4.2 测试结果

- 图 8 表现了 DDR 初始化正常
- 图 9 表现了 DDR 写入逻辑正常
- 图 10 表现了 DDR 读取逻辑正常
- 图 11 通过添加数据检查的触发方式表现了 DDR 读写数据一致(未触发证明数据无误)

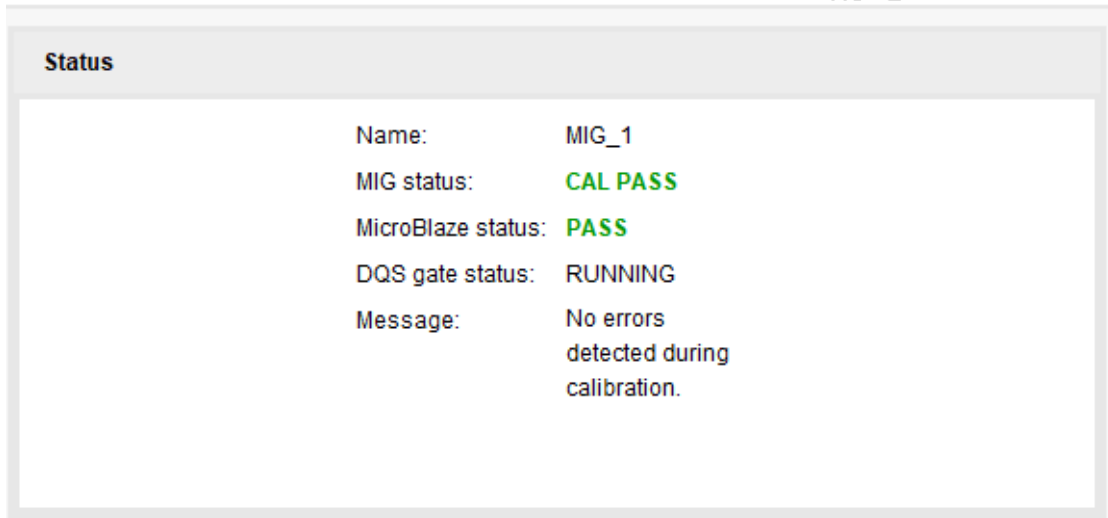


图 8 DDR 初始化状态

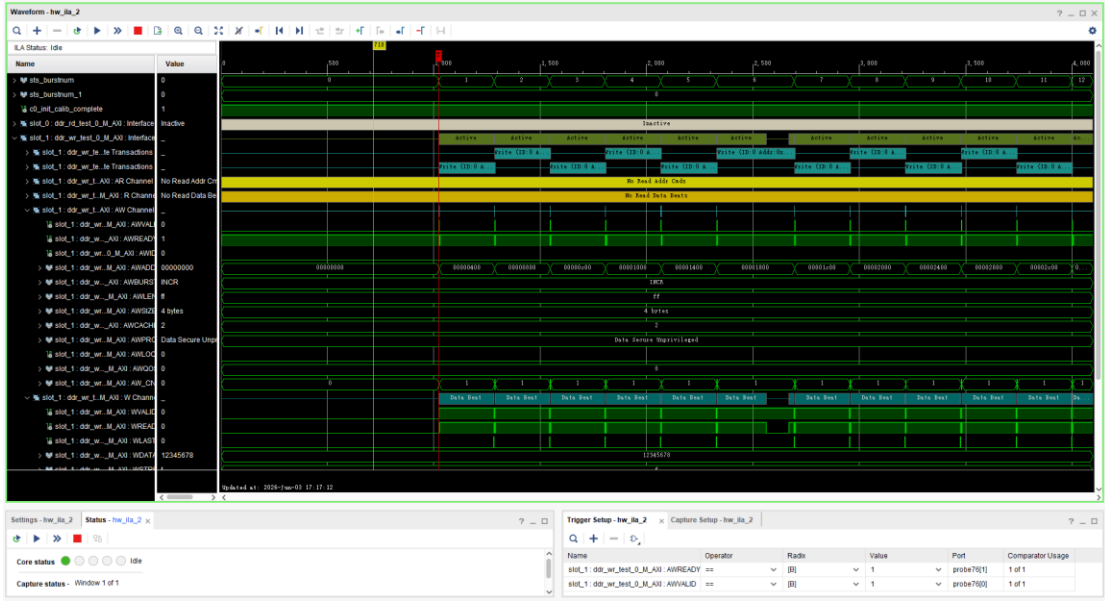


图 9 DDR 写触发

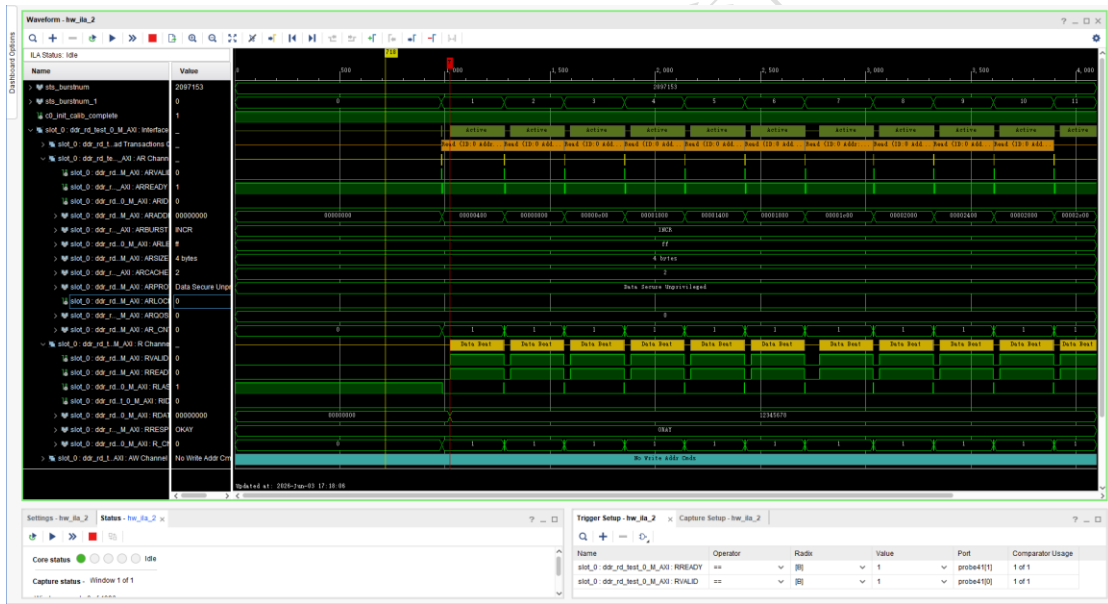


图 10 DDR 读触发